

DMA TRANSFER DEVICE

Publication number: JP2001306489 (A)

Publication date: 2001-11-02

Inventor(s): UENO TAKUTO

Applicant(s): FUJI XEROX CO LTD

Classification:

- international: **B41J29/38; B41J5/30; G06F3/12; G06F13/28; B41J29/38; B41J5/30; G06F3/12; G06F13/20;**
(IPC1-7): G06F13/28; B41J5/30; B41J29/38; G06F3/12

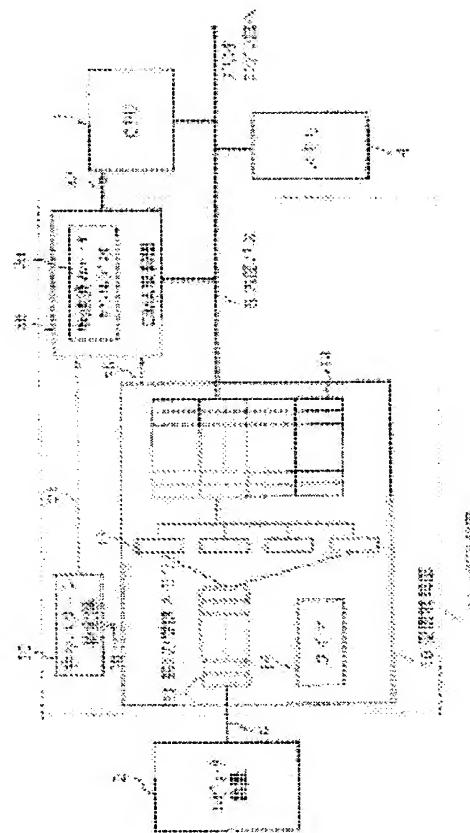
- European:

Application number: JP20000122194 20000424

Priority number(s): JP20000122194 20000424

Abstract of JP 2001306489 (A)

PROBLEM TO BE SOLVED: To make performable the DMA transfer by recognizing surely the end of data to be transferred without deteriorating the DMA transfer efficiency even when a remainder part occurs at a place near the end of data to be transferred. **SOLUTION:** This DMA transfer device 1 latches once the data which are received in every prescribed unit and then performs DMA transfer of the latched data with bath width that is larger than the prescribed unit. The device 1 is provided with a reception control means 10 which recognizes the end of data to be transferred, a remainder pattern specifying means 20 which specifies a relevant remainder pattern and a DMA control means 30 which decides the DMA transfer frequency from the specified remainder pattern.



Data supplied from the esp@cenet database --- Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-306489

(P2001-306489A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl.⁷

G 0 6 F 13/28
B 4 1 J 5/30
29/38
G 0 6 F 3/12

識別記号

3 1 0

F I

G 0 6 F 13/28
B 4 1 J 5/30
29/38
G 0 6 F 3/12

チ-ロ-ト⁸ (参考)

3 1 0 C 2 C 0 6 1
Z 2 C 0 8 7
Z 5 B 0 2 1
B 5 B 0 6 1

審査請求 未請求 請求項の数2 O L (全 9 頁)

(21) 出願番号

特願2000-122194(P2000-122194)

(22) 出願日

平成12年4月24日 (2000.4.24)

(71) 出願人 000003496

富士ゼロックス株式会社
東京都港区赤坂二丁目17番22号

(72) 発明者 上野 拓人

神奈川県海老名市本郷2274番地 富士ゼロ
ックス株式会社海老名事業所内

(74) 代理人 100086298

弁理士 舟橋 國訓

Fターム(参考) 20061 HH03 HJ06 HJ08 HK11 HK21
HQ21

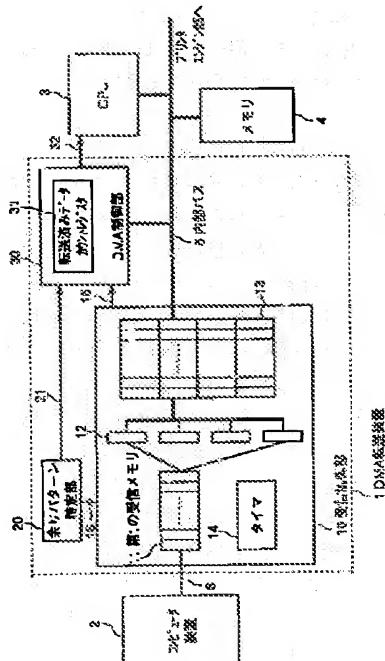
20087 BA02 BC01 BD01 BD41 CB02
5B021 AA01 BB02 BB11
5B061 BA03 DD09 DD11 DD21

(54) 【発明の名称】 DMA転送装置

(57) 【要約】

【課題】 転送すべきデータの終了付近に余り部分が生じた場合であっても、DMA転送効率の低下を招くことなく、転送すべきデータの終了を確実に認識して、DMA転送を行えるようにする。

【解決手段】 所定単位毎に受信する受信データを一旦ラッ奇して後に、これを前記所定単位よりも大きいバス幅のバスを用いてDMA転送するDMA転送装置1において、転送すべきデータの終了を認識する受信制御手段10と、そのときの余りパターンを特定する余りパターン特定手段20と、特定された余りパターンに基づいてDMA転送数を定めるDMA制御手段30とを備える。



【特許請求の範囲】

【請求項1】 所定単位毎に受信する受信データを順次ラッチしてラッチデータとした後に該ラッチデータを前記所定単位よりも大きいバス幅を持つバスを用いてDMA転送するDMA転送装置において、

ある受信データの受信から所定時間が経過しても次の受信データを受信しないと転送すべきデータの終了を認識する受信制御手段と、

前記所定時間の経過時にラッチしているラッチデータの余りパターンを特定する余りパターン特定手段と、前記余りパターン特定手段が特定した余りパターンに基づいて前記ラッチデータのDMA転送数を定めるDMA制御手段とを備えることを特徴とするDMA転送装置。

【請求項2】 { (前記バス幅／前記所定単位) + 1 } 以上の深さのバッファメモリ手段を備え、該バッファメモリ手段によって受信データをラッチするように構成されたことを特徴とする請求項1記載のDMA転送装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、DMA (Direct Memory Access) 転送を行うDMA転送装置に関し、特にプリンタ装置を始めとした情報処理装置にて使用されるDMA転送装置に関するものである。

【0002】

【従来の技術】従来、プリンタ装置等の情報処理装置にて使用されるDMA転送装置としては、例えば特開平7-152678号公報に開示されたようなものがある。このDMA転送装置では、パラレルインターフェースを介して所定単位（例えば、1バイト=8ビット）毎に受信したデータをラッチして纏めた後に、これをその複数倍のバス幅（例えば、4バイト=32ビット）を持つプリンタ装置の内部バスを用いてDMA転送することで、その内部バスの効率的な使用を可能にしている。

【0003】

【発明が解決しようとする課題】ところで、このようなDMA転送装置が受信するデータは、プリンタ装置で出力させる画像データ等であるため、その総バイト数が必ずしも内部バスのバス幅の整数倍になるとは限らない。したがって、例えば画像1ページ分のデータについてDMA転送の場合に、転送すべきデータの終了に近づくと、そのデータの残りバイト数が、内部バスのバス幅よりも小さくなってしまう可能性がある。

【0004】残りバイト数が内部バスのバス幅よりも小さくなると、上述したDMA転送装置では、その都度、レジスタ値を設定し直して、DMA転送単位を変更する必要がある。つまり、DMA転送の転送単位を、例えばバイト単位に変更して、1バイト毎に残りの余りバイトを転送する。したがって、余りバイトが生じると、1バイト毎に転送を実施するため、著しくDMA転送効率が低下してしまうおそれがある。しかも、転送単位の設定

変更を始めとする一連のソフトウェア処理によって、その処理負荷が大きくなってしまい、より一層DMA転送効率の低下を招いてしまうことになる。

【0005】これに対して、例えば特公平7-46305公報に開示されているように、転送すべきデータの終わりに、転送単位を区切るための終了コードを附加することで、余りバイトを考慮することなくDMA転送を行い得るようにすることも考えられる。つまり、終了コードの附加によってデータの終了を認識可能とすれば、余りバイトが生じても転送単位の設定変更が不要となり、DMA転送効率を維持できるようになる。

【0006】ところが、この場合には、DMA転送装置等が終了コードの認識手段を備えていなければならず、またデータにも予め終了コードを附加しておく必要があるため、装置構成が複雑化してしまい、結果として装置の大型化や装置コストの上昇等を招いてしまうおそれがある。さらには、必ずしも転送すべきデータと終了コードとの識別が容易であるとはいはず、これらを誤認識してしまうことも考えられるため、DMA転送を正しく行えない可能性もある。

【0007】そこで、本発明は、転送すべきデータの終了付近に余り部分が生じた場合であっても、DMA転送効率の低下を招くことなくDMA転送を行うことができ、また転送すべきデータの終了を確実に認識してDMA転送を行えるDMA転送装置の提供を目的とする。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するために案出されたDMA転送装置である。すなわち、所定単位毎に受信する受信データを順次ラッチしてラッチデータとした後に該ラッチデータを前記所定単位よりも大きいバス幅を持つバスを用いてDMA転送するDMA転送装置において、ある受信データの受信から所定時間が経過しても次の受信データを受信しないと転送すべきデータの終了を認識する受信制御手段と、前記所定時間の経過時にラッチしているラッチデータの余りパターンを特定する余りパターン特定手段と、前記余りパターン特定手段が特定した余りパターンに基づいて前記ラッチデータのDMA転送数を定めるDMA制御手段とを備えるものである。

【0009】上記構成のDMA転送装置によれば、所定時間が経過しても受信データを受信せずに受信制御手段が転送すべきデータの終了を認識すると、パターン特定手段がその所定時間経過時におけるラッチデータの余りパターンを特定する。余りパターンとは、転送すべきデータにおける終了部分をラッチしてバス幅に対応し得るように纏めた際に、そのバス幅全体に対してどの程度ラッチデータが存在しているかを示すものである。したがって、パターン特定手段が余りパターンを特定すれば、その余りパターンからデータ終了付近における余り部分（余りバイト数等）が分かるようになる。これにより、

DMA制御手段は、ラッチデータのDMA転送数を的確に定め得るので、そのDMA転送単位を変更しなくとも、余りデータを転送できるようになる。また、その余りデータの転送後、終了割り込みをアサートすれば、例えばCPU(Central Processing Unit)といった上位制御部においても確実に当該データの転送終了を認識できるようになる。

【0010】

【発明の実施の形態】以下、図面に基づき本発明に係るDMA転送装置について説明する。

【0011】先ず、本発明に係るDMA転送装置およびそのDMA転送装置を備えた情報処理装置の概略構成について説明する。ただし、ここでは、本発明を、情報処理装置の一種であるプリンタ装置にて使用されるDMA転送装置に適用した場合を例に挙げて説明する。図1は、本発明の一実施形態におけるシステム構成例を示すブロック図である。

【0012】図例のように、本実施形態におけるDMA転送装置1を搭載したプリンタ装置は、パーソナルコンピュータやワークステーション等からなるコンピュータ装置2に接続されて用いられるもので、そのコンピュータ装置2から送信される印刷データを受信して印刷用紙上への画像出力を行うものである。このような画像出力をを行うために、プリンタ装置は、大別すると、コンピュータ装置2からの印刷データの受信制御を行うプリンタコントローラ部と、受信した印刷データについての出力処理を行うプリンタエンジン部とから構成されている。このうち、プリンタエンジン部については、本発明の要旨に影響を与えないため、その説明および図中における図示を省略する。

【0013】プリンタコントローラ部は、DMA転送装置1の他に、このプリンタコントローラ部全体の動作制御を行うCPU3と、コンピュータ装置2からの印刷データを記憶保持するメモリ4と、これらDMA転送装置1、CPU3、メモリ4およびプリンタエンジン部の間を互いに接続する内部バス5と、を備えている。このような構成により、プリンタコントローラ部では、コンピュータ装置2から印刷データの送信があると、DMA転送装置1がこれを受信するとともに、その受信したデータをDMA転送装置1が内部バス5を通じてメモリ4へDMA転送し、その後メモリ4内のデータがそのまま、または展開されてプリンタエンジン部側に送出されるようになっている。

【0014】このとき、コンピュータ装置2からの印刷データは、パラレルインターフェース6を介して、1バイト(8ビット)毎に順次送られてくるものとする。また、DMA転送装置1とメモリ4との間の内部バス5は、32ビット幅(4バイト分)で構成されているものとする。

【0015】ここで、このようなプリンタコントローラ

部に搭載されたDMA転送装置1の概略構成について詳しく説明する。DMA転送装置1は、受信制御部10と、余りバターン特定部20と、DMA制御部30と、を備えている。

【0016】受信制御部10は、コンピュータ装置2からパラレルインターフェース6を介して送信される印刷データを受信し、さらにはその1バイト毎に受信する受信データをラッチして、内部バス5を用いた転送に適応させるものである。そのため、受信制御部10は、第1の受信メモリ11と、バス幅変換用バッファ12と、第2の受信メモリ13と、タイマ14とを有している。

【0017】第1の受信メモリ11は、パラレルインターフェース6を介して受信した8ビットデータをラッチしておくものである。ただし、第1の受信メモリ11は、後述する理由によって、(32ビット(内部バス5のバス幅)/8ビット(パラレルインターフェース6からの受信単位))+1=5バイト分以上のメモリ深さに構成されている。すなわち、第1の受信メモリ11では、パラレルインターフェース6からの1バイト毎の受信データを、少なくとも5バイト分ラッチしておけるようになっている。

【0018】バス幅変換用バッファ12は、8ビットデータを32ビットデータに変換するためのものである。そのため、このバス幅変換用バッファ12では、略並行してアクセスし得る4バイト分のメモリ領域を有しており、各メモリ領域内に第1の受信メモリ11から順次取り出したラッチデータを保持するようになっている。

【0019】第2の受信メモリ13は、バス幅変換用バッファ12の各メモリ領域内に保持されたそれぞれのラッチデータを略同時に纏めて取り出して保持しておき、その後これを32ビットデータとして内部バス5へ受け渡すものである。ただし、第2の受信メモリ13では、内部バス5を通じてDMA転送を行う際のバースト数をプログラムブルに設定し得るようにすべく、ある一定のメモリ深さに構成されている。例えば、DMAバースト数が8ワードバーストであれば、少なくとも8ワードのメモリ深さを備えているものとする。なお、第2の受信メモリ13では、この第2の受信メモリ13内のデータ量等に応じて、自動的にDMA制御部30に対してDMAリクエスト15を発行するようになっている。

【0020】タイマ14は、受信制御部10でのデータ受信後の経過時間を計測して、ある1バイト分のデータ受信から所定時間が経過する前に次の1バイト分のデータ受信があるか否かを判断し、データ受信がなければタイマアウトである旨のアラームを発生させるものである。

【0021】このタイマ14からのアラームによって、受信制御部10では、後述するように、コンピュータ装置2からパラレルインターフェース6を介して送信される印刷データの終了を認識するようになっている。さら

に、タイムアウト時に第1の受信メモリ11内に存在しているラッチデータのバイト数を、第1の受信メモリ11の有効データバイト数16として余りパターン特定部20へ通知するようになっている。

【0022】このような有効データバイト数16が通知される余りパターン特定部20は、その有効データバイト数16に基づいて、タイムアウト時における第1の受信メモリ11内の余りパターンを特定するものである。余りパターンとは、第1の受信メモリ11内のラッチデータを内部バス5のバス幅に対応し得るように4バイト単位で纏めたときのパターンをいい、そのバス幅全体に相当する4バイト分に対して何バイト分ラッチデータが存在しているかを示すものである。

【0023】また、余りパターン特定部20では、特定した余りパターンを余りパターン情報21としてDMA制御部30へ通知するようになっている。このとき、受信データが1バイト幅であり、内部バス5のバス幅が4バイト幅であれば、余りパターン情報21は、2ビットの信号で表すことができる。例えば、余りパターンが1バイト分であれば“01”、2バイト分であれば“10”、3バイト分であれば“11”、4バイト分であれば“00”といったように表すことができる。

【0024】このような余りパターン情報21が通知されるDMA制御部30は、受信制御部10で32ビット幅に纏められたデータをメモリ4へDMA転送する際の制御を行うものである。ただし、DMA制御部30は、受信制御部10からのDMAリクエスト15のみならず、図示しない他部からのDMAリクエストにも対応し得るものであってもよい。すなわち、複数のDMAリクエストについて、その調停を行い優先度の高いリクエストをCPU3に通知するとともに、CPU3からの許可があったリクエストに係るDMA転送を実行することも考えられる。

【0025】また、DMA制御部30は、DMA転送したデータの数をバイト単位で確認する転送済みデータカウントレジスタ31を備えている。この転送済みデータカウントレジスタ31での確認結果を基に、DMA制御部30では、CPU3にDMA完了割込み信号32をアサートしてDMA転送を終了し、その後次のDMA設定がされるまでウェイトするようになっている。

【0026】次に、以上のように構成されたDMA転送装置1およびそのDMA転送装置1を搭載したプリンタ装置における処理動作例について説明する。図2および図3は、本発明に係るDMA転送装置における処理動作の一例を示すフローチャートである。

【0027】DMA転送装置1がDMA転送を行うのあたっては、図2に示すように、先ず、CPU3が図示していないROM(Read Only Memory)等に格納された制御プログラムを読み込み、その制御プログラムに従つて以下に述べるデータ転送制御を実行する。すなわち、

CPU3は、DMA制御部30に対してDMA転送先アドレス(メモリ4内のアドレス)、DMA転送バイト数(転送すべきデータの総バイト数の目安、例えば印刷データ1ページ分の総バイト数の目安)、DMA転送バースト数(1回の転送当たりのバースト数)等といったDMA転送に必要となる条件の設定を行うとともに、受信制御部10に対してタイマ14の受信タイムアウト時間(ステップ101、以下ステップを「S」と略す)を設定する(ステップ101、以下ステップを「S」と略す)。ただし、これらの条件が初期値(デフォルト値)でよい場合には、設定動作を省略してもよい。

【0028】初期設定(または再設定)が終了し、コンピュータ装置2からの印刷データを受け入れられる状態になると、CPU3は、図示しない制御信号BUSYをネゲートして、データの転送開始許可を与える(S102)。これにより、コンピュータ装置2とDMA転送装置1との間では、パラレルインターフェース6を介したデータ転送が開始される。

【0029】コンピュータ装置2から印刷データの送信があると、DMA転送装置1の受信制御部10は、その印刷データを、パラレルインターフェース6を介して1バイト毎に順次受信する。このとき、その受信がタイマ14の受信タイムアウト時間後でなければ(S103)、受信制御部10では、受信した8ビットデータを、第1の受信メモリ11に書込んで、その第1の受信メモリ11内にラッチするとともに(S104)、タイマ14による受信タイムアウト時間のカウントをスタート(またはリストア)させる(S105)。

【0030】その後、順次データを受信し、第1の受信メモリ11内に5バイト分以上のデータが貯まると(S106)、受信制御部10では、その第1の受信メモリ11内の4バイト分のデータを、受信した順にバス幅変換用バッファ12に順次読み出す(S107)。なお、ランレングスエンコードされたデータを受信したときに、第1の受信メモリ11への書き込みで解凍する場合には、第1の受信メモリ11がフルになることがあるが、この場合も同様とする。そして、バス幅変換用バッファ12内に4バイト(32ビット)分のデータが揃ったところで、第2の受信メモリ13がFullでなければ(S108)、さらにそのバス幅変換用バッファ12内のデータを第2の受信メモリ13に書込む(S109)。

【0031】このとき、第1の受信メモリ11内に4バイト分ではなく5バイト分貯まった時点で、バス幅変換用バッファ12に順次読み出すのは、以下に述べる理由による。例えば、最新のデータを受信してからの時間をカウントするタイマ14が次のデータを受信せずにタイムアウトした場合に、第1の受信メモリ11内に1バイト以上データが存在しないと、第2の受信メモリ13に書込むデータが無くなってしまい、DMA制御部30がデータの区切り(ブロック終了の最終データ)を認識するのが遅れてしまうおそれがある。したがって、このよ

うな不都合が生じるのを避けるために、第1の受信メモリ11は(内部バス5のバス幅/パラレルインターフェース5からの受信単位)+1=5バイト分以上のメモリ深さとなっており、ラッチデータが5バイト分貯まつた時点でバス幅変換用バッファ12への読み出しを行うようになっている。

【0032】このような処理動作を繰り返し行うことで、第2の受信メモリ13内には、コンピュータ装置2からのデータ受信について、順次データが貯まつていく。ここで、DMA転送バースト数が例えば4ワードバーストに設定されていると、第2の受信メモリ13は、32ビットデータが4ワード分(合計で128ビット分)貯まつた時点で(S110)、バースト転送のDMAリクエスト15をDMA制御部30にアサートする。

【0033】このDMAリクエスト15に応じて、DMA制御部30は、CPU3に内部バス5の使用権の調停を依頼する。そして、CPU3からバスの使用許可があると、DMA制御部30は、DMAバースト転送を行い(S111)、メモリ4内のDMA転送先アドレスに順にデータを書込んでいく。

【0034】DMA転送装置1は、コンピュータ装置2からのデータ受信が続くと、上述した処理動作を繰り返し行う。そして、DMA制御部30の転送済みデータカウントレジスタ31により確認されたバイト数が、当初設定していたDMA転送バイト数と等しくなると(S112)、DMA制御部30は、DMAを終了し、CPU3に対してDMA完了割込み信号32をアサートする(S113)。引き続き、コンピュータ装置2からの受信データを処理するには、DMA転送先アドレス等を再設定し、DMA制御部15を再度起動して、上述した処理動作を繰り返して行えばよい(S101~S113)。

【0035】ところで、コンピュータ装置2から送られてくる印刷データは、その総バイト数が必ずしも内部バス5のバス幅の整数倍になるとは限らない。したがって、例えば画像1ページ分の印刷データの終わりといったデータの切れ目では、第2の受信メモリ13に書込むときには余りバイトが生じる可能性がある。

【0036】ここで、本実施形態のDMA転送装置1において最も特徴的な点である、データ区切りに対する処理動作について詳しく説明する。コンピュータ装置2からの印刷データの切れ目、すなわちブロック終了は、その受信データ間隔をカウントするタイマ14がタイムアウトすることによって検知される(S103)。換言すると、ある8ビットデータの受信から受信タイムアウト時間が経過しても次の8ビットデータを受信しないと、受信制御部10は、例えば印刷データ1ページ分の終わりといった、データの切れ目であることを認識する。

【0037】このタイマ14からのタイムアウト通知が、予め設定されたDMA転送バイト数に達する以前に

あると、受信制御部10は、余りバイト処理を行う。このとき、受信制御部10は、図3に示すように、第1の受信メモリ11内に貯まっているデータのバイト数が5バイト分以上であるか否かを判断し(S114)、5バイト分以上貯まつていれば、その第1の受信メモリ11内の4バイト分のデータを、受信した順にバス幅変換用バッファ12に順次書込む(S115)。そして、バス幅変換用バッファ12内に4バイト(32ビット)分のデータが揃つたところで、第2の受信メモリ13がFullでなければ(S116)、さらにそのバス幅変換用バッファ12内のデータを第2の受信メモリ13に書込む(S117)。

【0038】一方、第1の受信メモリ11内のバイト数が5バイトに満たなければ、受信制御部10では、そのバイト数が4バイト分であるか否かを判断する(S118)。そして、4バイト分であれば、その4バイト分のみをバス幅変換用バッファ12に移すとともに(S119)、その旨を第1の受信メモリ11の有効データバイト数16として余りパターン特定部20へ通知する。この通知を受けて、余りパターン特定部20は、タイムアウト時における第1の受信メモリ11内の余りパターンを特定する。この場合、余りパターンが4バイト分であるので、余りパターン特定部20は、例えば“00”といった余りパターン情報21をDMA制御部30へ通知する。

【0039】第1の受信メモリ11内のバイト数が4バイトでなければ、続いて、受信制御部10では、そのバイト数が3バイト分であるか否かを判断する(S120)。そして、3バイト分であれば、その3バイト分のみをバス幅変換用バッファ12に移すとともに(S121)、その旨を第1の受信メモリ11の有効データバイト数16として余りパターン特定部20へ通知する。この通知を受けて、余りパターン特定部20は、余りパターンを特定して、例えば“11”といった余りパターン情報21をDMA制御部30へ通知する。

【0040】第1の受信メモリ11内のバイト数が3バイトでもなければ、さらに続いて、受信制御部10では、そのバイト数が2バイト分であるか否かを判断する(S122)。そして、2バイト分であれば、その2バイト分のみをバス幅変換用バッファ12に移すとともに(S123)、その旨を第1の受信メモリ11の有効データバイト数16として余りパターン特定部20へ通知する。この通知を受けて、余りパターン特定部20は、余りパターンを特定して、例えば“10”といった余りパターン情報21をDMA制御部30へ通知する。

【0041】また、第1の受信メモリ11内のバイト数が2バイトでもなければ、そのバイト数は1バイト分であるので、受信制御部10では、その1バイト分のみをバス幅変換用バッファ12に移すとともに(S124)、その旨を第1の受信メモリ11の有効データバ

ト数16として余りパターン特定部20へ通知する。この通知を受けて、余りパターン特定部20は、余りパターンを特定して、例えば“01”といった余りパターン情報21をDMA制御部30へ通知する。

【0042】このようにして、第1の受信メモリ11内のデータをバス幅変換用バッファ12に書込むと、受信制御部10では、第2の受信メモリ13がFullでなければ(S125)、さらにそのバス幅変換用バッファ12内のデータを第2の受信メモリ13に書込む(S126)。

【0043】このタイムアウト時の最終データが第2の受信メモリ13に書込まれたことで、第2の受信メモリ13内のデータのバイト数が予め設定されたDMA転送バースト数と一致すると、第2の受信メモリ13は、バースト転送のDMAリクエスト15をDMA制御部30に対してアサートする。ただし、そうではない場合には、第2の受信メモリ13は、DMA制御部30に対してワード転送のDMAリクエスト15をアサートする(S127)。

【0044】また、このときに、余りパターン特定部20では、上述したように余りパターン情報21をDMA制御部30へ通知している。したがって、DMA制御部30は、タイマ14によるタイムアウトの検知と余りパターン特定部20からの余りパターン情報21とを基に、コンピュータ装置2から送られてくる印刷データの区切り、すなわちブロック終了と余りバイト数を認識し得るので、その認識結果に合わせて転送済みデータカウントレジスタ31がカウントするバイト数を修正する。例えば、“11”といった余りパターン情報21が通知されると、余りパターンが3バイト分であるので、DMA制御部30では、転送済みデータカウントレジスタ31がカウントすべきバイト数を1バイト差し引いた値とする。余りパターンが1バイト分、2バイト分または4バイト分の場合についても、これとも同様の処理を行う。

【0045】このように、転送済みデータカウントレジスタ31がカウントすべきバイト数を修正することにより、DMA制御部30では、DMA転送数を的確に定め得るようになる。つまり、データのバイト余りが生じるブロック終了部分についても、DMA転送バースト数といったDMA転送単位の設定の変更や、転送単位を区切るための終了コードの付加等を要することなく、そのままDMA転送を行ってメモリ4内のDMA転送先アドレスに順にデータを書込んでいくことができるようになる。

【0046】そして、この最後のDMA転送が終了すると、DMA制御部30は、受信完了割込み信号32をアサートする(S128)。これにより、CPU3は、データのバイト余りが生じるブロック終了の場合にも、正確にDMA転送済みバイト数が把握でき、またDMA転

送効率も低下させてしまうこともなくなる。

【0047】なお、本実施形態では、受信データが1バイト幅であるのに対して、内部バス5が4バイト幅である場合を例に挙げて説明したが、本発明はこれに限定されるものではなく、内部バス幅が入力データ幅よりも大きければ(例えば、整数倍)適用可能であることはいうまでもない。

【0048】また、本実施形態では、本発明をプリンタ装置にて使用されるDMA転送装置に適用した場合について説明したが、本発明はこれに限定されるものではない。すなわち、予め総データ量が明確とはなっていないデータについて、これを所定単位毎に受信してラッチした後に、その所定単位よりも大きいバス幅のバスを用いてDMA転送するものであれば、他の情報処理装置に搭載されたDMA転送装置であっても同様に適用することが可能である。

【0049】

【発明の効果】以上に説明したように、本発明に係るDMA転送装置は、所定単位毎に受信するデータを一旦ラッチした後に、その所定単位よりも大きいバス幅のバスを用いてDMA転送する場合に、そのデータ終了付近にて余り部分(余りバイト数等)が発生しても、その都度DMA転送単位の設定を変更したり、データの転送単位を区切るための終了コードを付加したりすることなく、例えばページの区切りといったデータの切れ目を確実に認識してDMA転送を行うことができる。これにより、そのDMA転送装置を用いた情報処理装置の制御部等においても、転送すべきデータの終了を確実に認識できるようになる。したがって、本発明のDMA転送装置を用いてDMA転送を行えば、バス幅変換する際のデータの余り部分による転送効率の低下を招くことがないので、従来よりもDMA転送効率を大幅に向上させることができ。また、DMA転送単位の設定変更といった、従来のようなタイムアウト処理に必要なソフトウェア処理を削減し得るので、余り部分が発生した際の処理負荷が大きくなってしまうこともない。さらには、終了コードの付加等を必要としないので、装置の大型化や装置コストの上昇等を招くこともない。

【図面の簡単な説明】

【図1】 本発明に係るDMA転送装置およびそのDMA転送装置を備えた情報処理装置の一実施形態におけるシステム構成例を示すブロック図である。

【図2】 本発明に係るDMA転送装置における処理動作の一例を示すフローチャート(その1)である。

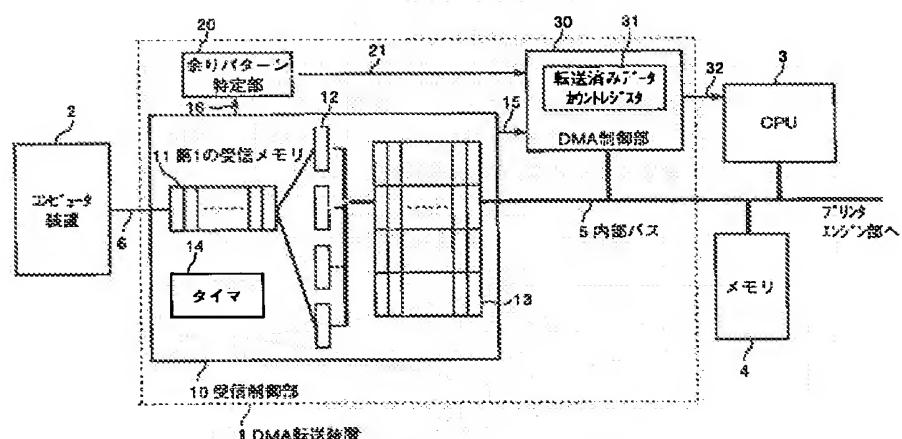
【図3】 本発明に係るDMA転送装置における処理動作の一例を示すフローチャート(その2)である。

【符号の説明】

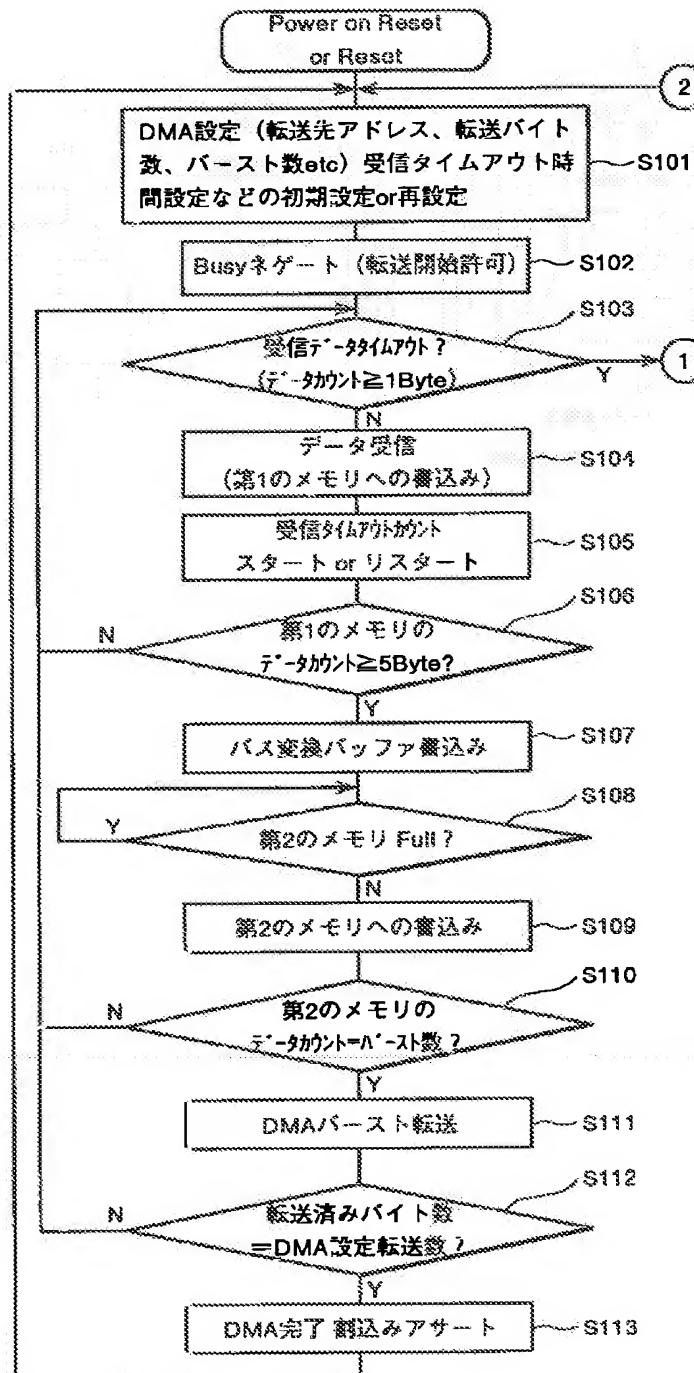
1…DMA転送装置、5…内部バス、10…受信制御部、11…第1の受信メモリ、14…タイマ、20…余

リバターン特定部、30…DMA制御部

【図1】



【図2】



【図3】

